

SADRŽAJ

PREDGOVOR	xvii
1 UVOD	1
1.1 STRUKTURIRANA ORGANIZACIJA RAČUNARA	2
1.1.1 Jezici, nivoi i virtuelne mašine	2
1.1.2 Savremeni računari s više nivoa	5
1.1.3 Evolucija računara s više nivoa	8
1.2 KLJUČNE TAČKE RAZVOJA ARHITEKTURE RAČUNARA	13
1.2.1 Nulta generacija – mehanički računari (1642–1945)	14
1.2.2 Prva generacija – elektronske cevi (1945–1955)	16
1.2.3 Druga generacija – tranzistori (1955–1965)	19
1.2.4 Treća generacija – integrisana kola (1965–1980)	21
1.2.5 Četvrta generacija – vrlo visok stepen integracije (1980-?)	23
1.2.6 Peta generacija – nevidljivi računari	25
1.3 RAČUNARSKI ZVERINJAK	26
1.3.1 Tehnološke i ekonomske sile	26
1.3.2 Spektar računara	28
1.3.3 Računari za jednokratnu upotrebu	29
1.3.4 Mikrokontroleri	31
1.3.5 Računari za igranje	32
1.3.6 Lični računari	33
1.3.7 Serveri	33
1.3.8 Skup radnih stanica	34
1.3.9 Centralni računari	35

1.4	ODABRANI PRIMERI PORODICA RAČUNARA	36
1.4.1	Uvod u Pentium 4	36
1.4.2	Predstavljanje čipa UltraSPARC III	41
1.4.3	Čip 8051	43
1.5	METRIČKE JEDINICE	45
1.6	PREGLED SADRŽAJA KNJIGE	46

2 ORGANIZACIJA RAČUNARSKIH SISTEMA **49**

2.1	PROCESORI	49
2.1.1	Organizacija procesora	50
2.1.2	Izvršavanje instrukcija	52
2.1.3	RISC i CISC	56
2.1.4	Principi projektovanja savremenih računara	57
2.1.5	Paralelizam na nivou instrukcija	59
2.1.6	Paralelizam na nivou procesora	63
2.2	OSNOVNA MEMORIJA	66
2.2.1	Bitovi	66
2.2.2	Memorijske adrese	67
2.2.3	Postrojavanje bajtova	69
2.2.4	Kodovi za ispravljanje grešaka	71
2.2.5	Keš memorija	74
2.2.6	Memorijski paketi i vrste memorije	77
2.3	SEKUNDARNA MEMORIJA	78
2.3.1	Hijerarhija memorije	78
2.3.2	Magnetni diskovi	79
2.3.3	Diskete	82
2.3.4	IDE diskovi	83
2.3.5	SCSI diskovi	85
2.3.6	RAID	86
2.3.7	Kompakt diskovi	90
2.3.8	Upisivi kompakt diskovi	94
2.3.9	Prepisivi kompakt diskovi	97
2.3.10	DVD diskovi	97
2.3.11	Blu-Ray	99
2.4	ULAZ I IZLAZ	99
2.4.1	Magistrale	100
2.4.2	Terminali	102
2.4.3	Miševi	107
2.4.4	Štampači	109

2.4.5	Telekomunikaciona oprema	115
2.4.6	Digitalni fotoaparati	123
2.4.7	Kodiranje znakova	125
2.5	SAŽETAK	128

3 NIVO DIGITALNE LOGIKE

133

3.1	LOGIČKA KOLA I BULOVA ALGEBRA	134
3.1.1	Logička kola	134
3.1.2	Bulova algebra	136
3.1.3	Implementiranje Bulovih funkcija	138
3.1.4	Ekvivalentnost elektronskih kola	140
3.2	OSNOVNA KOLA DIGITALNE LOGIKE	143
3.2.1	Integrirana kola	143
3.2.2	Kombinaciona kola	145
3.2.3	Aritmetička kola	150
3.2.4	Generatori radnog takta	155
3.3	MEMORIJA	156
3.3.1	Leč kola	156
3.3.2	Flip-flopovi	159
3.3.3	Registri	161
3.3.4	Organizacija memorije	161
3.3.5	Memorijski čipovi	165
3.3.6	RAM i ROM memorija	168
3.4	PROCESORSKI ČIPOVI I MAGISTRALNE	171
3.4.1	Procesorski čipovi	171
3.4.2	Računarske magistralne	173
3.4.3	Širina magistralne	175
3.4.4	Vremensko usklađivanje rada magistralne	177
3.4.5	Arbitriranje magistralom	181
3.4.6	Operacije na magistrali	184
3.5	PRIMERI PROCESORSKIH ČIPOVA	186
3.5.1	Pentium 4	186
3.5.2	UltraSPARC III	193
3.5.3	Čip 8051	197
3.6	PRIMERI MAGISTRALA	199
3.6.1	ISA magistrala	200
3.6.2	PCI magistrala	201
3.6.3	Magistrala PCI Express	209
3.6.4	Univerzalna serijska magistrala	213

- 3.7 POVEZIVANJE 217
 - 3.7.1 Ulazno-izlazni čipovi 217
 - 3.7.2 Dekodiranje adresa 219
- 3.8 SAŽETAK 222

4 NIVO MIKROARHITEKTURE

227

- 4.1 PRIMER MIKROARHITEKTURE 227
 - 4.1.1 Putanja podataka 229
 - 4.1.2 Mikroinstrukcije 235
 - 4.1.3 Upravljanje mikroinstrukcijama: Mic-1 237
- 4.2 PRIMER ISA ARHITEKTURE: IJVM 242
 - 4.2.1 Stekovi 242
 - 4.2.2 Memorijski model IJVM arhitekture 244
 - 4.2.3 Skup IJVM instrukcija 246
 - 4.2.4 Prevođenje Jave u IJVM 249
- 4.3 PRIMER IMPLEMENTACIJE 251
 - 4.3.1 Mikroinstrukcije i notacija 252
 - 4.3.2 Implementiranje skupa IJVM instrukcija pomoću procesora Mic-1 256
- 4.4 PROJEKTOVANJE NIVOA MIKROARHITEKTURE 268
 - 4.4.1 Odnos brzine i cene 268
 - 4.4.2 Skraćivanje putanje izvršavanja 270
 - 4.4.3 Rešenje s preuzimanjem instrukcija unapred: procesor Mic-2 277
 - 4.4.4 Paralelna obrada: procesor Mic-3 277
 - 4.4.5 Sedmostepena paralelna obrada: procesor Mic-4 286
- 4.5 POBOLJŠANJE PERFORMANSI 289
 - 4.5.1 Keš memorija 290
 - 4.5.2 Predviđanje programskog skoka 296
 - 4.5.3 Prekoredno izvršavanje i preimenovanje registara 301
 - 4.5.4 Spekulativno izvršavanje 306
- 4.6 PRIMERI NIVOA MIKROARHITEKTURE 308
 - 4.6.1 Mikroarhitektura procesora Pentium 4 309
 - 4.6.2 Mikroarhitektura procesora UltraSPARC-III Cu 314
 - 4.6.3 Mikroarhitektura procesora 8051 320
- 4.7 POREĐENJE PROCESORA PENTIUM, ULTRASPARC I 8051 322
- 4.8 SAŽETAK 323

5 NIVO ARHITEKTURE SKUPA INSTRUKCIJA**329**

- 5.1 PREGLED NIVOVA ISA 331
 - 5.1.1 Svojstva nivoa ISA 331
 - 5.1.2 Memorijski modeli 333
 - 5.1.3 Registri 335
 - 5.1.4 Instrukcije 336
 - 5.1.5 Pregled nivoa ISA procesora Pentium 4 337
 - 5.1.6 Pregled nivoa ISA procesora UltraSPARC III 339
 - 5.1.7 Pregled nivoa ISA procesora 8051 342
- 5.2 TIPOVI PODATAKA 346
 - 5.2.1 Numerički tipovi podataka 346
 - 5.2.2 Ostali tipovi podataka 347
 - 5.2.3 Tipovi podataka Pentiuma 4 348
 - 5.2.4 Tipovi podataka procesora UltraSPARC III 348
 - 5.2.5 Tipovi podataka procesora 8051 349
- 5.3 FORMATI INSTRUKCIJA 350
 - 5.3.1 Projektni kriterijumi za format instrukcija 350
 - 5.3.2 Proširivanje opkodova 352
 - 5.3.3 Formati instrukcija Pentiuma 4 355
 - 5.3.4 Formati instrukcija procesora UltraSPARC III 356
 - 5.3.5 Formati instrukcija procesora 8051 357
- 5.4 ADRESIRANJE 358
 - 5.4.1 Načini adresiranja 358
 - 5.4.2 Neposredno adresiranje 359
 - 5.4.3 Direktno adresiranje 359
 - 5.4.4 Registarsko adresiranje 359
 - 5.4.5 Indirektno registarsko adresiranje 360
 - 5.4.6 Indeksno adresiranje 361
 - 5.4.7 Bazno-indeksno adresiranje 363
 - 5.4.8 Adresiranje na steku 363
 - 5.4.9 Načini adresiranja za instrukcije grananja 366
 - 5.4.10 Ortogonalnost opkodova i načina adresiranja 367
 - 5.4.11 Načini adresiranja Pentiuma 4 369
 - 5.4.12 Načini adresiranja procesora UltraSPARC III 371
 - 5.4.13 Načini adresiranja procesora 8051 371
 - 5.4.14 Završne napomene o načinima adresiranja 371
- 5.5 TIPOVI INSTRUKCIJA 372
 - 5.5.1 Instrukcije za premeštanje podataka 373
 - 5.5.2 Binarne operacije 374

5.5.3	Unarne operacije	375
5.5.4	Poređenje i uslovni skokovi	377
5.5.5	Instrukcije za pozivanje procedura	378
5.5.6	Upravljanje petljama	379
5.5.7	Ulaz/izlaz	381
5.5.8	Instrukcije procesora Pentium 4	384
5.5.9	Instrukcije procesora UltraSPARC III	387
5.5.10	Instrukcije procesora 8051	390
5.5.11	Poređenje skupova instrukcija	390
5.6	TOK IZVRŠAVANJA	394
5.6.1	Sekvencijalni tok izvršavanja i grananje	394
5.6.2	Procedure	395
5.6.3	Korutine	400
5.6.4	Programske klopke	402
5.6.5	Sistemske prekidi	403
5.7	DETALJAN PRIMER: HANOJSKE KULE	407
5.7.1	Problem Hanojskih kula na asemblerskom jeziku Pentiuma 4	407
5.7.2	Problem Hanojskih kula na asemblerskom jeziku procesora UltraSPARC III	408
5.8	ARHITEKTURA IA-64 I ITANIUM 2	410
5.8.1	Problem s Pentiumom 4	411
5.8.2	Model arhitekture IA-64: forsiranje paralelnog rada	413
5.8.3	Proredivanje obraćanja memoriji	413
5.8.4	Raspoređivanje instrukcija	414
5.8.5	Smanjenje broja uslovnih skokova: predikacija	416
5.8.6	Spekulativno učitavanje	418
5.9	SAŽETAK	419

6 NIVO OPERATIVNOG SISTEMA RAČUNARA

425

6.1	VIRTUELNA MEMORIJA	426
6.1.1	Straničenje	427
6.1.2	Implementiranje straničenja	429
6.1.3	Straničenje na zahtev i model radnog skupa	432
6.1.4	Pravila zamenjivanja stranica	434
6.1.5	Veličina stranice i fragmentiranje	436
6.1.6	Segmentiranje	436
6.1.7	Implementacija segmentiranja	440

6.1.8	Virtuelna memorija Pentiuma 4	442
6.1.9	Virtuelna memorija na procesoru UltraSPARC III	447
6.1.10	Virtuelna memorija i keširanje	450
6.2	VIRTUELNE ULAZNO-IZLAZNE INSTRUKCIJE	450
6.2.1	Datoteke	451
6.2.2	Implementiranje virtuelnih ulazno-izlaznih instrukcija	452
6.2.3	Instrukcije za rad s direktorijumima	456
6.3	VIRTUELNE INSTRUKCIJE ZA PARALELNU OBRADU	457
6.3.1	Započinjanje procesa	458
6.3.2	Utrkivanje	459
6.3.3	Sinhronizovanje procesa pomoću semafora	463
6.4	PRIMERI OPERATIVNIH SISTEMA	467
6.4.1	Uvod	467
6.4.2	Primeri virtuelne memorije	476
6.4.3	Primeri virtuelnih ulazno-izlaznih operacija	479
6.4.4	Primeri upravljanja procesima	491
6.5	SAŽETAK	497

7 NIVO ASEMBLERSKOG JEZIKA 505

7.1	UVOD U ASEMBLERSKI JEZIK	506
7.1.1	Šta je assemblyski jezik?	506
7.1.2	Za šta treba koristiti assemblyski jezik?	507
7.1.3	Format naredbe na assemblyskom jeziku	510
7.1.4	Pseudoinstrukcije	513
7.2	MAKROI	515
7.2.1	Definisanje, pozivanje i proširivanje makroa	515
7.2.2	Makroi s parametrima	517
7.2.3	Napredne mogućnosti	518
7.2.4	Implementiranje mehanizma za rad s makroima u assembleru	519
7.3	PROCES ASEMBLIRANJA	520
7.3.1	Assembleri s dva prolaska	520
7.3.2	Prvi prolazak	520
7.3.3	Drugi prolazak	524
7.3.4	Tabela simbola	526

7.4 POVEZIVANJE I UČITAVANJE	528
7.4.1 Poslovi koje obavlja program za povezivanje	529
7.4.2 Struktura objektnog modula	532
7.4.3 Vreme povezivanja i dinamičko relociranje	533
7.4.4 Dinamičko povezivanje	535
7.5 SAŽETAK	539

8 ARHITEKTURE PARALELNIH RAČUNARA 543

8.1 PARALELIZAM NA PROCESORSKOM ČIPU	544
8.1.1 Paralelizam na nivou instrukcija	545
8.1.2 Višenitni rad na jednom čipu	552
8.1.3 Više procesora na jednom čipu	558
8.2 KOPROCESORI	563
8.2.1 Mrežni procesori	564
8.2.2 Multimedijски procesori	571
8.2.3 Kriptoprocessori	576
8.3 SISTEMI S VIŠE PROCESORA KOJI DELE MEMORIJU	577
8.3.1 Multiprocessori i multiračunari	577
8.3.2 Semantika memorije	584
8.3.3 Arhitekture simetričnih UMA multiprocessora	588
8.3.4 NUMA multiprocessori	597
8.3.5 COMA multiprocessori	605
8.4 MULTIRAČUNARI ZASNOVANI NA RAZMENI	606
8.4.1 Mreže za interno povezivanje komponenata multiračunara	607
8.4.2 MPP multiračunari – čvrsto spregnuti paralelni procesori	611
8.4.3 Klasteri računara	621
8.4.4 Komunikacioni softver za multiračunare	626
8.4.5 Raspoređivanje posla	628
8.4.6 Memorija deljena na nivou aplikacije	629
8.4.7 Performanse	636
8.5 REŠETKE RAČUNARA	642
8.6 SAŽETAK	644

9 SPISAK KORIŠĆENE I PREPORUČENE LITERATURE 649

9.1 ŠTA BI JOŠ TREBALO PROČITATI	649
9.1.1 Uvod i opšta literatura	649
9.1.2 Organizacija računarskih sistema	651

9.1.3	Nivo digitalne logike	652
9.1.4	Nivo mikroarhitekture	653
9.1.5	Nivo arhitekture skupa instrukcija	653
9.1.6	Nivo operativnog sistema računara	654
9.1.7	Nivo asemblerskog jezika	655
9.1.8	Arhitekture paralelnih računara	655
9.1.9	Binarni brojevi i brojevi u formatu pokretnog zareza	657
9.1.10	Programiranje na asemblerskom jeziku	658
9.2	ABECEDNI SPISAK LITERATURE	658
A	BINARNI BROJEVI	671
A.1	BROJEVI KONAČNE TAČNOSTI	671
A.2	BROJČANI SISTEMI DATE OSNOVE	673
A.3	PRETVARANJE BROJEVA IZ JEDNOG BROJČANOG SISTEMA U DRUGI	675
A.4	NEGATIVNI BINARNI BROJEVI	677
A.5	BINARNA ARITMETIKA	679
B	BROJEVI U FORMATU POKRETNOG ZAREZA	683
B.1	PRINCIPI RADA S POKRETNIM ZAREZOM	684
B.2	IEEE STANDARD 754 ZA BROJEVE U FORMATU POKRETNOG ZAREZA	686
C	PROGRAMIRANJE NA ASEMBLERSKOM JEZIKU	693
C.1	PREGLED	694
C.1.1	Asemblerski jezik	694
C.1.2	Kratak program na asemblerskom jeziku	695
C.2	PROCESOR 8088	696
C.2.1	Procesorski ciklus	696
C.2.2	Registri opšte namene	697
C.2.3	Pokazivački registri	699
C.3	MEMORIJA I ADRESIRANJE	701
C.3.1	Organizacija memorije i segmenti	701
C.3.2	Adresiranje	702

C.4	SKUP INSTRUKCIJA PROCESORA 8088	706
C.4.1	Premeštanje, kopiranje i aritmetičke instrukcije	706
C.4.2	Logičke operacije, operacije nad bitovima i operacije pomeranja	709
C.4.3	Petlje i operacije ponavljanja sa znakovnim nizovima	709
C.4.4	Instrukcije za skokove i pozive	710
C.4.5	Pozivi potprograma	712
C.4.6	Sistemske pozivi i potprogrami	713
C.4.7	Završne napomene o skupu instrukcija	716
C.5	ASSEMBLER	716
C.5.1	Uvod	716
C.5.2	ACK-assembler, as88	717
C.5.3	Neke razlike u odnosu na druge asemblere za procesor 8088	720
C.6	SIMULATOR	722
C.6.1	Komande simulatora	723
C.7	POČINJEMO	725
C.8	PRIMERI	726
C.8.1	Primer Hello World	726
C.8.2	Primer s registrima opšte namene	729
C.8.3	Instrukcija Call i pokazivački registri	731
C.8.4	Otklanjanje grešaka iz programa za ispisivanje niza	734
C.8.5	Rad sa znakovnim nizovima i odgovarajuće instrukcije	736
C.8.6	Tabele za usmeravanje	739
C.8.7	Baferisan i direktan pristup datotekama	741

SPISAK TERMINA KORIŠĆENIH U KNJIZI	747
---	------------

INDEKS	755
---------------	------------